

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-272116 ✓

⑤ Int.Cl.

H 01 L 21/30
21/68

識別記号

3 0 1

庁内整理番号

M-7376-5F
F-7454-5F

⑬ 公開 平成1年(1989)10月31日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭63-101741

⑯ 出 願 昭63(1988)4月25日

⑰ 発 明 者 池 田 利 喜 夫 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑱ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑲ 代 理 人 弁理士 尾川 秀昭

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 基板の表面に凸部あるいは凹部からなる平面形状が矩形状のマークが形成された半導体装置において、

上記基板にマークの四辺に対向して凸部あるいは凹部を形成した

ことを特徴とする半導体装置

3. 発明の詳細な説明

以下の順序に従って本発明を説明する。

A. 産業上の利用分野

B. 発明の概要

C. 従来技術 [第6図、第7図]

D. 発明が解決しようとする問題点

[第8図乃至第10図]

E. 問題点を解決するための手段

F. 作用 [第4図、第5図]

G. 実施例 [第1図乃至第3図]

H. 発明の効果

(A. 産業上の利用分野)

本発明は半導体装置、特に基板の表面に凸部あるいは凹部からなる平面形状が矩形(正方形も含む)状のマスクアライメント用のあるいはアライメント精度測定用の矩形状マークを形成した半導体装置に関する。

(B. 発明の概要)

本発明は、上記の半導体装置において、

基板表面上に回転塗布法により形成されるレジスト膜のマーク上におけるステップカバレッジが回転中心側のステップに対してとその反対側のステップに対してとで非対称になることを防止するため、

矩形状マークの四辺に対向して凸部又は凹部を

設けたものである。

(C. 従来技術) [第6図、第7図]

近年、半導体集積回路の積積化が著しく、それにつれて形成するパターンがますます微細化し、それに伴ってマスクの位置合せ(マスクアライメント)の精度の向上を図る必要性が高くなる一方である。

ところで、マスクアライメントは第6図(A)、(B)に示すように半導体基板aの表面に例えば凸部からなる平面形状が矩形状のマークbを形成しておき、該マークbとマスクのマークとを合せることにより行っていた。

また、マスクアライメント精度の向上が要求されるに従ってマスクアライメント後にアライメント誤差がどの程度で済んでいるかを、即ち、マスクアライメント精度を測定する必要性が生じている。この測定は当初はバーニアにより行われていたが、読取り単位が0.05 μ mと大き過ぎるので、第7図(A)、(B)に示すように半導体基

ターン形成を行う場合、フォトリソスト膜は半導体ウエハを回転させながら塗布する回転塗布法(スピンコーティング法)により形成されるが、その結果、下記のような不都合が生じる。第8図及び第9図はそのような不都合を説明するためのものであり、第8図はマークbが凸部からなる場合について示し、同図(A)は回転中心に近い部分におけるステップカバレッジを示す断面図、同図(B)は回転中心から遠い(半導体ウエハの周辺に近い)部分におけるステップカバレッジを示す断面図である。第8図(A)から明らかなように、回転中心に近い部分ではマークb(又はc)の回転中心側のステップに対してもその反対側のステップに対してもフォトリソスト膜dのステップカバレッジに変わりがなくステップカバレッジは対称性を有している。しかし、同図(B)に示すように半導体ウエハの周辺に近くなるとフォトリソスト膜dのステップカバレッジは回転中心側のステップでは良いがその反対側のステップでは悪くなるという非対称性が生じてくる。これはマー

クaの表面に例えば凸部からなる平面形状が矩形状のマークcを形成しておき、更にレジスト膜の露光、現像後にマークc上にそれと相似形で稍小さなレジスト膜eがその中心とマークcの中心とが一致する位置に残存するようにマスクのパターンを形成しておき、露光、現像後にマークcのエッジとレジスト膜eのエッジとの間の間隔の大きさ x_1 と x_2 を電子顕微鏡(SEM)により見て測定することにより行う方法が採られるようになってきている。この場合マスクアライメント精度は x_1 と x_2 の差が0に近い程高いことになる。

しかして、半導体基板aにはマスクアライメント用の矩形状マークbとマスクアライメント精度測定用のマークcの両方が各チップの適宜な場所に形成されるようになっている。

(D. 発明が解決しようとする問題点)

[第8図乃至第10図]

ところで、フォトリソグラフィにより微細なバ

ックb(あるいはc)が凸部からなる場合に限らず第9図に示すように凹部eからなる場合でも同じように生じるのである。

そして、このようなステップカバレッジの非対称性は半導体ウエハの大口径化に伴って著しくなっている。若し、このようにステップカバレッジに非対称性が生じると、チップ上のアライメントマークをレーザ光でスキャンしてマーク上に乱反射した回折光の一次光を検出するという一般的なマスクアライメント方法でマスクアライメントした場合、ステップカバレッジに非対称が生じたマークからの回折光の一次光が光屈折により曲ってしまい、正確なマスクアライメントができないという問題をもたらす。

また、マークでマスクアライメント精度を測定する場合には第10図(A)、(B)に示すように露光、現像後にマークc上に形成されるレジスト膜dのエッジには回転中心から離れる程非対称性ができてしまい、正確なマスクアライメント精度測定ができなくなる。というのは、半導体ウエ

ハの回転中心から比較的近い部分では同図(A)に示すようにフォトリソ膜dのエッジは回転中心側のエッジであってもそれと反対側のエッジであっても基板aの表面に対して直角になるが、回転中心から離れる程同図(B)に示すように回転中心側の側のエッジが傾斜し、上から見てエッジの位置の検出が出来にくくなる。従って、そのエッジとマークcのエッジとの距離x₁(第7図参照)の測定がしにくくなり、測定精度が悪くなるからである。

本発明はこのような問題点を解決すべく為されたものであり、基板表面上に回転塗布法により形成されるレジスト膜のマーク上におけるステップカバレッジが回転中心側のステップに対してとその反対側のステップとで非対称になることを防止することを目的とする。

(E. 問題点を解決するための手段)

本発明半導体装置は上記問題点を解決するため、矩形状マークの四辺に対向して凸部又は凹部

における場合を示している。ところで、第8図に示すように凸部が単独で存在する場合には、前述のとおり回転中心から離れる程レジスト膜のステップカバレッジの回転中心側とその反対側との非対称性が激しくなるが、第4図のようにレジストの流れ方向に凸部が複数個適宜離間して配置されている場合には、レジストの流れの最も上手側の凸部で若干非対称性が現れるが、次の凸部からは非対称性がほとんどなくなる。これは最も上手側の凸部でレジストの流れが緩和され、内部応力によって変化する粘性が均一化されるためであると考えられる。従って、マークの四方に凸部を設けることによってレジストの流れを緩和でき、延いてはレジストのマーク上におけるステップカバレッジの非対称性の発生を防止することができるのである。また、第5図に示すように基板aに幅の狭い凹部eが形成されている場合には凹部eはレジスト膜dの表面には小さな起伏しか生ぜしめない。従って、マークの四方に凹部eを設けることによってレジスト膜dの表面の不均一性を

を設けたことを特徴とする。

(F. 作用) [第4図、第5図]

本発明半導体装置によれば、マークの四辺に対向して凸部を設けた場合にはその凸部がマークによるレジストの流れの乱れを緩和し防波堤としての役割を果たす。また、マークの四辺に対向して凹部を設けた場合には凹部の幅を狭くすることによりレジスト膜の表面を平坦化することができる。従って、マークの回転中心側のステップに対してとその反対側のステップの対してとでレジスト膜のステップカバレッジが非対称になることを防止することができる。

この点について先ず第4図(A)、(B)に従ってマークの四辺に凸部を設けた場合について詳しく説明する。同図(A)、(B)は凸部が複数個レジストの流れ方向に沿って稍離間して配置されている場合のステップカバレッジを示し、同図(A)は半導体ウエハの回転中心に近い部分における場合を、同図(B)は回転中心と遠い部分

小さくし、延いてはステップカバレッジの非対称性をなくすることができる。

(G. 実施例) [第1図乃至第3図]

以下、本発明半導体装置を図示実施例に従って詳細に説明する。

第1図(A)、(B)は本発明半導体装置の一つの実施例の要部を示すもので、同図(A)は平面図、同図(B)は断面図である。

図面において、1は半導体基板、2は各チップの適宜な箇所に設けられた凸部からなる平面形状矩形状のマーク、3、3、3、3は該矩形状マーク2の四辺に対向するように配置された凸部で、本実施例では互いに繋げられて四角いリング状になっているが、互いに分離して形成するようにしても良い。このマークはマスクアライメント用の指標として用いるようにしても良いし、マスクアライメント精度測定用の指標として用いるようにしても良い。尚、マスクアライメント用の指標とする場合においてはマーク2を複数配列したもの

が2組互いに直角方向に延びるように形成するようにしてもよい。

この四辺に凸部3、3、3、3が形成されたマーク2は半導体ウエハの全チップにそれぞれ設けられている。

このような半導体装置によれば、チップが回転中心に対してどの位置にあってもマーク2の四辺に対向して存在している4つの凸部3、3、3、3のいずれかがスピニング時にレジストの流れを緩和する防波堤としての役割を果たすので、回転中心から離れていてもマーク2上におけるステップカバレッジの対称性を維持することができる。

第2図(A)、(B)は本発明半導体装置の第2の実施例を示すもので、同図(A)は平面図、同図(B)は断面図である。

図面において、4は基板1の表面に凹部によって形成された平面形状が矩形状のマークで、0.6 μ mの深さで例えば20 μ mの大きさを有している。5、5、5、5は該マーク4の四辺に対向する。

(H. 発明の効果)

以上に述べたように、本発明半導体装置は、基板の表面に凸部あるいは凹部からなる平面形状が矩形状のマークが形成された半導体装置において、上記基板にマークの四辺に対向して凸部あるいは凹部を形成したことを特徴とするものである。

従って、本発明半導体装置によれば、マークの四辺に対向して凸部を設けた場合にはその凸部がマークによるレジストの流れの乱れを緩和し防波堤としての役割を果たす。また、マークの四辺に対向して凹部を設けた場合には凹部の幅を狭くすることによりレジスト膜の表面を平坦化することができる。従って、マークの回転中心側のステップに対してとその反対側のステップの対してとでレジスト膜のステップカバレッジが非対称になることを防止することができる。

して設けられた凹部である。

本実施例においては凹部からなるマーク4と凹部5、5、5、5との間に形成される凸部6、6、6が防波堤としての役割を果たす。従って、やはりレジスト膜のステップカバレッジに非対称性が生じるのを防止することができる。尚、この場合、4つの凹部5、5、5、5が連通していることは必ずしも必要ではない。

第3図(A)、(B)は本発明半導体装置の第3の実施例を示すもので、同図(A)は平面図、同図(B)は断面図である。

図面において、7、7、7、7は凸部からなるところの矩形状マーク2の四辺に対向して形成された凹部である。このように凹部7、7、7、7を設けることによりマーク2を形成した場合も、凹部7、7、7、7の幅が例えば2 μ mというように狭ければ第5図で説明したように基板表面に形成されるレジスト膜表面に及ぼす影響がほとんどなくなり、従ってステップカバレッジの非対称性をほとんどなくすることが可能となるのである。

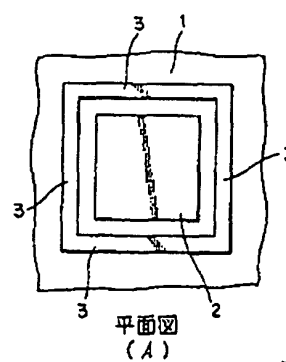
4. 図面の簡単な説明

第1図(A)、(B)は本発明半導体装置の第1の実施例の要部を示すもので、同図(A)は平面図、同図(B)は断面図、第2図(A)、(B)は本発明半導体装置の第2の実施例の要部を示すもので、同図(A)は平面図、同図(B)は断面図、第3図(A)、(B)は本発明半導体装置の第3の実施例の要部を示すもので、同図(A)は平面図、同図(B)は断面図、第4図(A)、(B)は作用説明のための断面図で、同図(A)は回転中心に近いところにあるものを示し、同図(B)は回転中心から遠いところにあるものを示し、第5図は作用説明のための断面図、第6図(A)、(B)はマスクアライメント用マークの従来例を示すもので、同図(A)は平面図、同図(B)は断面図、第7図(A)、(B)はマスクアライメント精度測定用マークの従来例を示すもので、同図(A)は平面図、同図(B)は断面図、第8図(A)、(B)はステップカバレッジの非対称性を説明するための断面図で、同

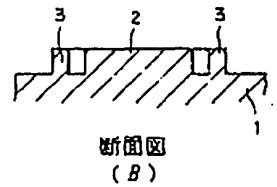
図(A)は回転中心に近いところにあるものを示し、同図(B)は回転中心から遠いところにあるものを示し、第9図は凹部からなるマークに対するステップカバレッジの非対称性を示す断面図、第10図(A)、(B)はマスクアライメント精度測定用マーク上のレジスト膜を示す断面図である。

符号の説明

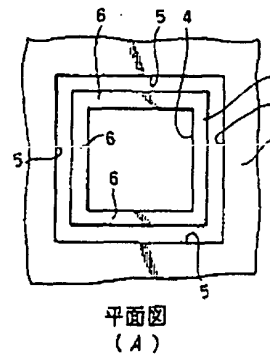
- 1・・・基板、
- 2・・・凸部からなるマーク、
- 3、3、3、3・・・マークの四辺に対向する凸部、
- 4・・・凹部からなるマーク、
- 6、6、6、6・・・マークの四辺に対向する凹部、
- 7、7、7、7・・・マークの四辺に対向する凹部。



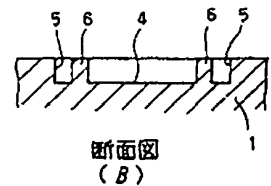
- 1・・・基板
- 2・・・矩形状マーク
- 3,3,3,3・・・マークの四辺に対向する凸部



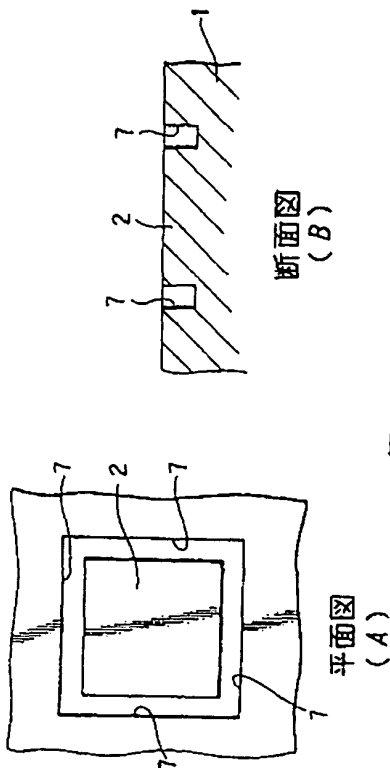
第1の実施例
第1図



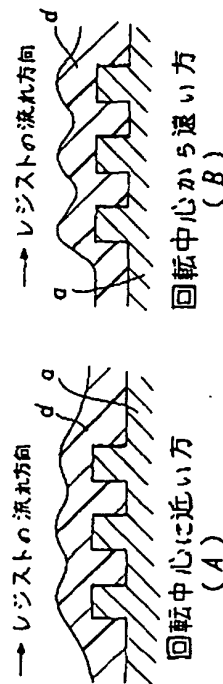
- 4・・・凹部からなるマーク
- 6,6,6,6・・・マークの四辺に対向する凹部



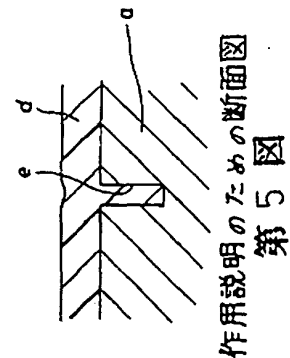
第2の実施例
第2図



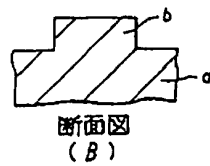
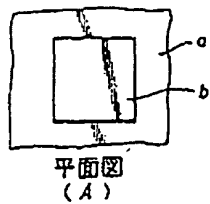
第3の実施例
第3図



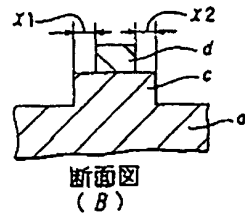
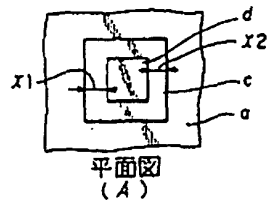
作用説明のための断面図
第4図



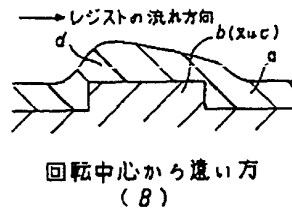
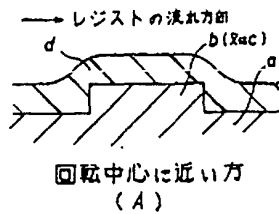
作用説明のための断面図
第5図



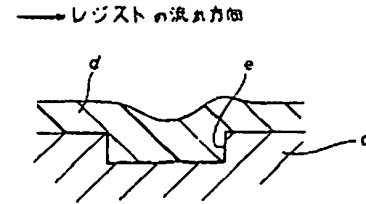
アライメント用
マークの従来例
第6図



アライメント精度測定
用マークの従来例
第7図

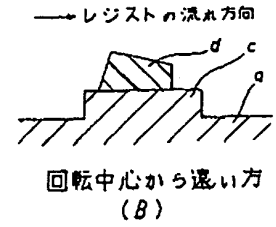
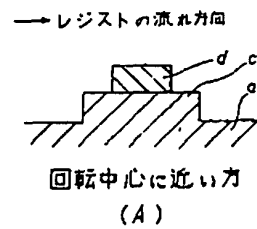


ステップカバレッジを示す
断面図 (問題点説明)
第8図



凹部からなるマークに対するステップカバレッジ
の非対称性を示す断面図(問題点説明)

第9図



アライメント精度測定用マーク
上のレジスト膜を示す断面図(問題点説明)

第10図